

Haruhisa YAMAGUCHI Q76771  
Noise Shaper For Processing Stereo  
Signals.....  
Filing Date: August 6, 2003  
Alan J. Kasper 202-663-7903

日本国特許  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日

Date of Application:

2002年 8月 7日

出願番号

Application Number:

特願2002-230417

[ ST.10/C ]:

[ JP2002-230417 ]

出願人

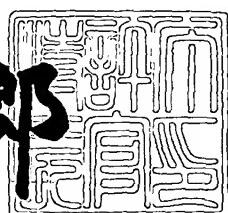
Applicant(s):

ローム株式会社

2003年 6月 18日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3047543

【書類名】 特許願

【整理番号】 02-00241

【提出日】 平成14年 8月 7日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 1/66  
H03M 3/02

【発明の名称】 ステレオ信号処理用ノイズシェーバ

【請求項の数】 3

【発明者】

【住所又は居所】 京都市右京区西院溝崎町21番地ローム株式会社内

【氏名】 山口 晴久

【特許出願人】

【識別番号】 000116024

【氏名又は名称】 ローム株式会社

【代表者】 佐藤 研一郎

【代理人】

【識別番号】 100110319

【弁理士】

【氏名又は名称】 根本 恵司

【選任した代理人】

【識別番号】 100109977

【弁理士】

【氏名又は名称】 畑川 清泰

【選任した代理人】

【識別番号】 100106806

【弁理士】

【氏名又は名称】 三谷 浩

【手数料の表示】

【予納台帳番号】 066394

特2002-230417

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0009874

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 ステレオ信号処理用ノイズシェーパ

【特許請求の範囲】

【請求項1】 2つのチャネルのステレオ信号が入力される入力手段と、

該2つのチャネルのステレオ信号を時分割多重のシリアル信号に変換する手段と

、  
該シリアル信号が入力されるデルタシグマ変調手段と、

ノイズシェーブされた出力を左右チャネルに分離して出力する手段と

からなるノイズシェーパ。

【請求項2】 前記デルタシグマ変調手段は、1段の又は2以上多段に接続され、入力された信号をデルタシグマ変調する積分手段を備え、

前記積分手段は、

前記シリアル信号が供給される加算手段と、

該加算手段の出力が前記2つのチャネルに応じて入力される2つの記憶手段と、

該2つの記憶手段の出力のいずれかを前記2つのチャネルに応じて時分割で選択する手段とからなり、

前記選択する手段の出力は前記加算する手段に入力することを特徴とする請求項1に記載のステレオ信号処理用ノイズシェーパ。

【請求項3】 請求項2に記載されたノイズシェーパにおいて、

前記2つの記憶手段が、Lチャネル用クロックで動作するLチャネル用フリップフロップ及び前記クロックとは位相を異にするRチャネル用クロックで動作するRチャネル用フリップフロップであるステレオ信号処理用ノイズシェーパ。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は、ステレオ信号処理に用いるデルタシグマ変調器を具備するノイズシェーパに関するもので、特にデルタシグマ変調器に特徴を有するノイズシェーパに関する。

【0002】

## 【従来の技術】

従来からCD、DAT等で再生されるステレオデジタル信号の処理には、オーバーサンプリング技術及びノイズシェーピング技術を用いたDA変換器が用いられている。

図5に、従来のオーバーサンプリング技術及びノイズシェーピング技術を利用したステレオ信号用のDA変換器のブロック図を示す。

図において、2チャネルのデジタルステレオ信号Cは、LR信号分離回路（以下I/Fブロックという）1で分離され、分離された信号は、以後それぞれ別々に、エイリアシング、量子化雑音の除去を行うn倍オーバーサンプリング回路2、2'、ビット数を低下したデジタル信号を出力し、低域のノイズを低減するノイズシェーパ3、3'、波形を整形してノイズ分を除去する波形整形回路4、4'、低域フィルタリングしてアナログ信号に変換するLPF5、5'を経て、左右チャネルアナログ信号に変換される。

## 【0003】

図6は上記ノイズシェーパの従来の回路例である。図中、ノイズシェーパ3は、入力信号をノイズシェーパに取込むための部分である入力部31及びデルタシグマ変調器32からなり、入力されたオーバーサンプリング信号を、デルタシグマ変調処理された信号を出力する。入力部31はフリップフロップ12からなり、デルタシグマ変調器32は、乗算器15、e1、f1、e2、フリップフロップb1、b2、加算器a1、a2、16、及び比較器18から構成される。

## 【0004】

このように、従来のステレオ信号用DA変換器においては、ノイズシェーパとして左右チャネル用にそれぞれ別々のノイズシェーパを設けており、ノイズシェーパには多くの部品が必要であるため、製造コストが高く、回路上の占有スペースの点からも問題があった。さらに、消費電力の点からみても、電源、メインクロックを2つのノイズシェーパが独立して使うので、消費電力も大きいという問題があった。

## 【0005】

## 【発明が解決しようとする課題】

この発明は上記の問題を解決するためになされたもので、その目的は、ステレオ信号を処理するためのノイズシェーパの製造コストを削減し、回路上の占有面積を削減し、ノイズシェーパの消費電力の低減を図るものである。また、他の目的はステレオ信号処理の代わりにモノラル信号処理を行う時に、消費電力を低減することである。

## 【0006】

## 【課題を解決するための手段】

請求項1の発明は、2つのチャネルのステレオ信号が入力される入力手段と、該2つのチャネルのステレオ信号を時分割多重のシリアル信号に変換する手段と、該シリアル信号が入力されるデルタシグマ変調手段と、ノイズシェーブされた出力を左右チャネルに分離して出力する手段とからなるノイズシェーパである。

請求項2の発明は、前記デルタシグマ変調手段は、1段の又は2以上多段に接続され、入力された信号をデルタシグマ変調する積分手段を備え、前記積分手段は、前記シリアル信号が供給される加算手段と、該加算手段の出力が前記2つのチャネルに応じて入力される2つの記憶手段と、該2つの記憶手段の出力のいずれかを前記2つのチャネルに応じて時分割で選択する手段とからなり、前記選択する手段の出力は前記加算する手段に入力することを特徴とする請求項1に記載のステレオ信号処理用ノイズシェーパである。

請求項3の発明は、請求項2に記載されたノイズシェーパにおいて、前記2つの記憶手段が、Lチャネル用クロックで動作するLチャネル用フリップフロップ及び前記クロックとは位相を異にするRチャネル用クロックで動作するRチャネル用フリップフロップであるステレオ信号処理用ノイズシェーパである。

## 【0007】

## 【発明の実施の形態】

次に本発明の実施形態を図面を参照して説明する。図中、従来技術の説明で用いた図5乃至7における部分と同一の部分には同一の符号を付与している。

図1は本発明の実施形態に係るノイズシェーパを適用したDA変換器の回路ブロックである。

図1において、DA変換器は、デジタルステレオ信号Cが供給されるLR信号

分離回路（以下I/Fブロックという）1と、I/Fブロック1からの分離された出力Lチャネル信号とRチャネル信号とがそれぞれ供給されるn倍オーバーサンプリング回路2、2' と、オーバーサンプリングされた左右チャネル信号がそれぞれ供給されるノイズシェーパ3と、ノイズシェーピングされた左右チャネル信号がそれぞれ供給される波形整形回路4、4' と、該波形整形回路からの波形整形出力がそれぞれ供給されるLPF5、5' と、メインクロックからノイズシェーパ3に用いられる各種制御信号を生成する制御信号生成部4とを備える。

#### 【0008】

このDA変換器の動作について、信号の波形図を示す図2を参照して説明すると、I/Fブロック1は、LR分離信号がハイの時、左チャネル信号を取り込み、ローの時右チャネル信号を取込むことによりデジタルステレオ信号Cを左右の信号に分離する。なお、ビットクロックは、信号Lch及びRchをそれぞれ取込むタイミングを決めている。こうして取込まれた信号Lch、Rchは、次段のオーバーサンプリング回路2、2' に入力され、エイリアシング、量子化ノイズを減少させるためにサンプリング周波数を上げたデータ信号E、Fを生成し、次段のノイズシェーパに供給する。なお、図2において8倍のオーバーサンプリングの例を示したが、これは1例であって、8倍に限定されず、16倍、64倍、128倍等々n倍のオーバーサンプリングであってもよいことは当業者にとって明らかである。

ノイズシェーパ3は、制御信号生成部により生成された信号を用いてこれらデータ信号E、Fを時分割多重したうえで、LR時分割信号J、LチャネルクロックG、RチャネルクロックHによって、低域のノイズを低減させた分離信号K、Lを生成し、波形整形回路4、4'、LPF5、5'に供給する。

波形整形回路4、4'では、ノイズを減少させるために分離信号K、Lの波形整形を行い、次にLPF5、5'は低域フィルタリングしてアナログ信号に変換する。

#### 【0009】

本発明の実施形態であるノイズシェーパ3の回路図である図3を参照すると、本発明のノイズシェーパ3は、入力部31、デルタシグマ変調器32から構成さ

れている。入力部31は前段のオーバーサンプリング回路からの左右チャネル出力E, Fが入力されるセレクタ10、11、このセレクタの出力を保持するフリップフロップ12, 13、及びフリップフロップ12, 13の出力を選択出力するセレクタ14から構成されている。

## 【0010】

また、デルタシグマ変調器32は、入力された信号を積分するデルタシグマ変調部と、デルタシグマ変調された出力をLチャネル信号とRチャネル信号に分離して出力する出力部とから構成されている。

前記デルタシグマ変調部は、第1及び第2の積分器が縦続接続されてなり、第1の積分器は、前記乗算器15を経て信号が供給される第1の加算器a1と、第1の加算器a1からの信号が供給されるLチャネル用クロックGで動作するLチャネル用フリップフロップb1及び前記クロックとは位相を異にするRチャネル用クロックHで動作するRチャネル用フリップフロップc1と、前記フリップフロップb1, c1の出力を選択するセレクタd1とを具備し、セレクタd1の出力は前記加算器a1に帰還してなる。

## 【0011】

この第1の積分器に縦続接続する第2の積分器は、第1の積分器からの入力が供給される第1の加算器a2と、第1の加算器a2からの信号が供給されるLチャネル用クロックGで動作する第2のLチャネル用フリップフロップb2及び前記クロックとは位相を異にするRチャネル用クロックHで動作する第2のRチャネル用フリップフロップc2と、前記フリップフロップb2, c2の出力を選択する第2のセレクタd2とを具備し、セレクタd2の出力は前記第2の加算器a2に帰還してなる。

## 【0012】

第2の積分出力は乗算器e2を経て、前記第1の積分器の出力が乗算器f1で乗算された信号と加算器16で加算され、この加算出力は比較器17に供給される。比較器17の出力は前記第1の加算器a1にフィードバックされると共に、フリップフロップ18, 19からなる出力部においてLチャネル信号KとRチャネル信号Lに分離される。

## 【0013】

次に、前記のように構成されたノイズシェーパ3の動作を説明する。

入力部31において、セレクタ10, 11はロード信号Iを用いて前段でオーバーサンプリングされたデータ信号E, Fを取り込む。該ロード信号Iは図2に示されるデータの期間Tのうち期間Pでハイ、期間Qでローになる信号で、ロード信号がハイの時ノイズシェーパ3にデータが取込まれ、ローの時入力部31でデータの取り込みを止め、ノイズシェーパ3においてデータがデルタシグマ変調処理されるものである。前記データ信号E, Fは制御信号生成部4で生成されたLチャネルクロックG, RチャネルクロックHによってフリップフロップ12, 13に取込まれる。

入力部のセレクタ14からはロード信号Iで取込まれたLチャネル信号、Rチャネル信号がシリアルなデジタルステレオ信号として出力される。つまり、入力部31により、データE, Fがシリアルな時分割多重されたデジタルステレオ信号に変換される。

## 【0014】

次にデルタシグマ変調器32の動作を説明する。変調器32を構成する各積分器において、LR時分割信号Jがローの期間、セレクタd1, d2においてLチャネル処理用端子Mが選択され、LチャネルクロックGの立ち上がりタイミングでLチャネルデータ信号Eが取込まれ又は積分され、その結果はLチャネル用フリップフロップb1, b2に保持される。つまり、LR時分割信号Jがローの時(P1)、デルタシグマ変調器3はLチャネルデータをデルタシグマ変調する回路として動作する。同様に、LR時分割信号Jがハイの期間(P2)、デルタシグマ変調器3はRチャネルデータをデルタシグマ変調する回路として動作する。

## 【0015】

こうして処理された信号は、左右チャネルクロックG, Hによって、フリップフロップ18, 19によって左右分離された信号K, Lとして出力される。

このように、本発明のノイズシェーパは、LR時分割信号Jと、LチャネルクロックGとRチャネルクロックHによって時分割に動作するものである。

なお、モノラル処理を行う場合は、Lクロック、Rクロックのどちらか一方を

止めることにより実現できる。

#### 【0016】

前記制御信号を生成する制御信号生成部4の回路構成を示した図4を参照すると、制御信号生成部4はメインクロックDがC端子に、Q端子からのフィードバックがD端子に供給されるD型フリップフロップ14、カウンタ17、メインクロックDとフリップフロップのQ端子からの出力が供給されるOR回路16、及びメインクロックDとフリップフロップのQB端子からの出力が供給されるOR回路15から構成されており、LR時分割信号A、LチャネルクロックG、RチャネルクロックH及びロード信号Iを出力とするものである。なおリセット信号Rはフリップフロップ14とカウンタ17をリセットするものである。

#### 【0017】

既に説明した図5に示す従来のDA変換器の回路ブロックと、図1に示す本発明に係る回路ブロックとを対比して明らかなように、ステレオ信号のノイズシェーブを行うのに、従来は、2つの同一のノイズシェーパを具備していたのに対して、本発明は、1つのノイズシェーパを具備する点に特徴を有するものである。

なお、本実施の形態において、デルタシグマ変調器の次数は2次としたが、2次に限らず、何次であってもよい。一般に高次ほどノイズシェーパとしての特性がよいことが知られている。

#### 【0018】

また、従来のノイズシェーパの入力部31は、フリップフロップ1つからなる回路（入力部は2つあるからフリップフロップを2個設けていた）であったが、本発明のノイズシェーパの入力部31は5つの回路要素（フリップフロップを2つ、セレクタを3つ設ける）からなる回路であって、構成する部品数も本発明の方が多い。しかし、次数の高いノイズシェーパでは、デルタシグマ変調器32において重複を排除できる部品数が増えるので、本発明における部品数の低減効果が大きいことは明らかである。

#### 【0019】

##### 【発明の効果】

本発明は1つのステレオ信号用ノイズシェーパにおいて左右チャネル信号を時

分割に処理するようにしたので、従来の2つのノイズシェーパと比して、回路上重複する加算器、乗算器等のハードウェアを削減でき、消費電力も低減でき、回路上の占有面積を減らすことができるので回路をさらに小型化できる。

特にDA変換器にこれを用いる時は、デルタシグマ変調器の次数が高いほどDA変換器の特性がよくなることが知られているが、次数の大きいデルタシグマ変調器では、加算器、乗算器の個数を大幅に削減できる。

さらに、モノラル処理を行う場合は、Lクロック、Rクロックのどちらか一方を止めることにより実現でき、モノラル時のクロックの消費電力はステレオ時の消費電力の半分程度に低減できる。

#### 【図面の簡単な説明】

【図1】本発明の実施形態であるステレオ信号処理用ノイズシェーパを構成要素とするDA変換器の回路ブロックである。

【図2】本発明の実施形態であるノイズシェーパにおける信号の波形図である。

【図3】本発明の実施形態であるノイズシェーパの回路図である。

【図4】図1のDA変換器の構成要素である制御信号生成部の回路ブロックである。

【図5】従来のDA変換器の回路ブロックである。

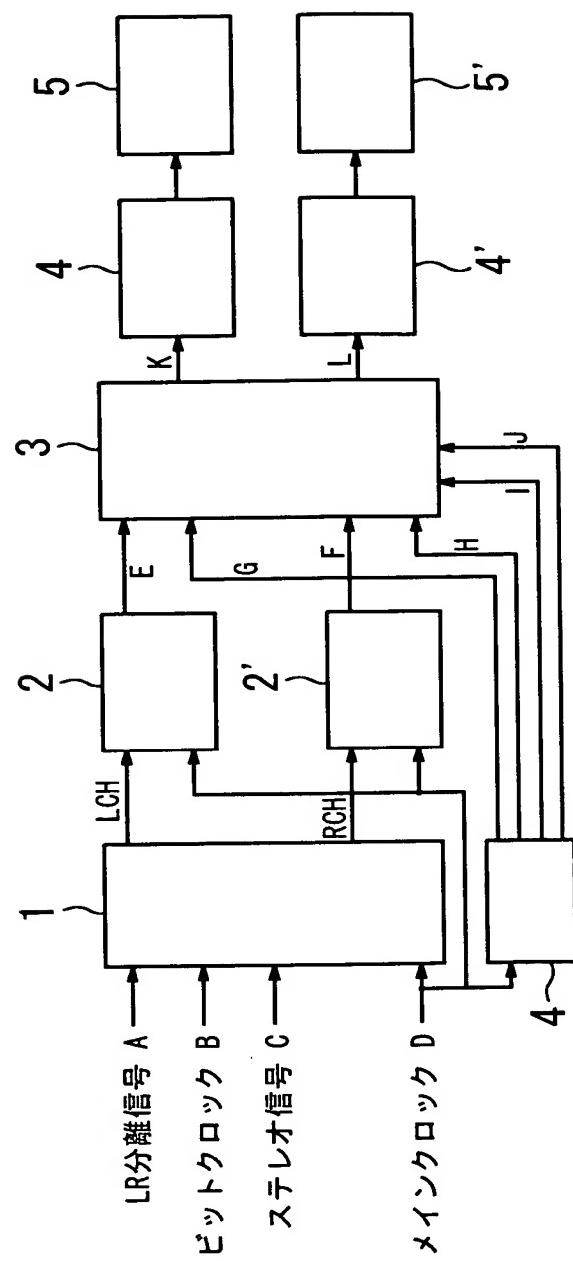
【図6】従来のノイズシェーパの回路図である。

【符号の説明】 1 . . . L R信号I/Fブロック、 2 . . . オーバーサンプリング回路、 3 . . . ノイズシェーパ、 6 . . . 制御信号生成部、 10、 11、 14、 d1、 d2 . . . セレクタ、 12、 13、 b1、 b2、 c1、 c2 . . . フリップフロップ、 a1、 a2、 16 . . . 加算器、 17 . . . 比較器

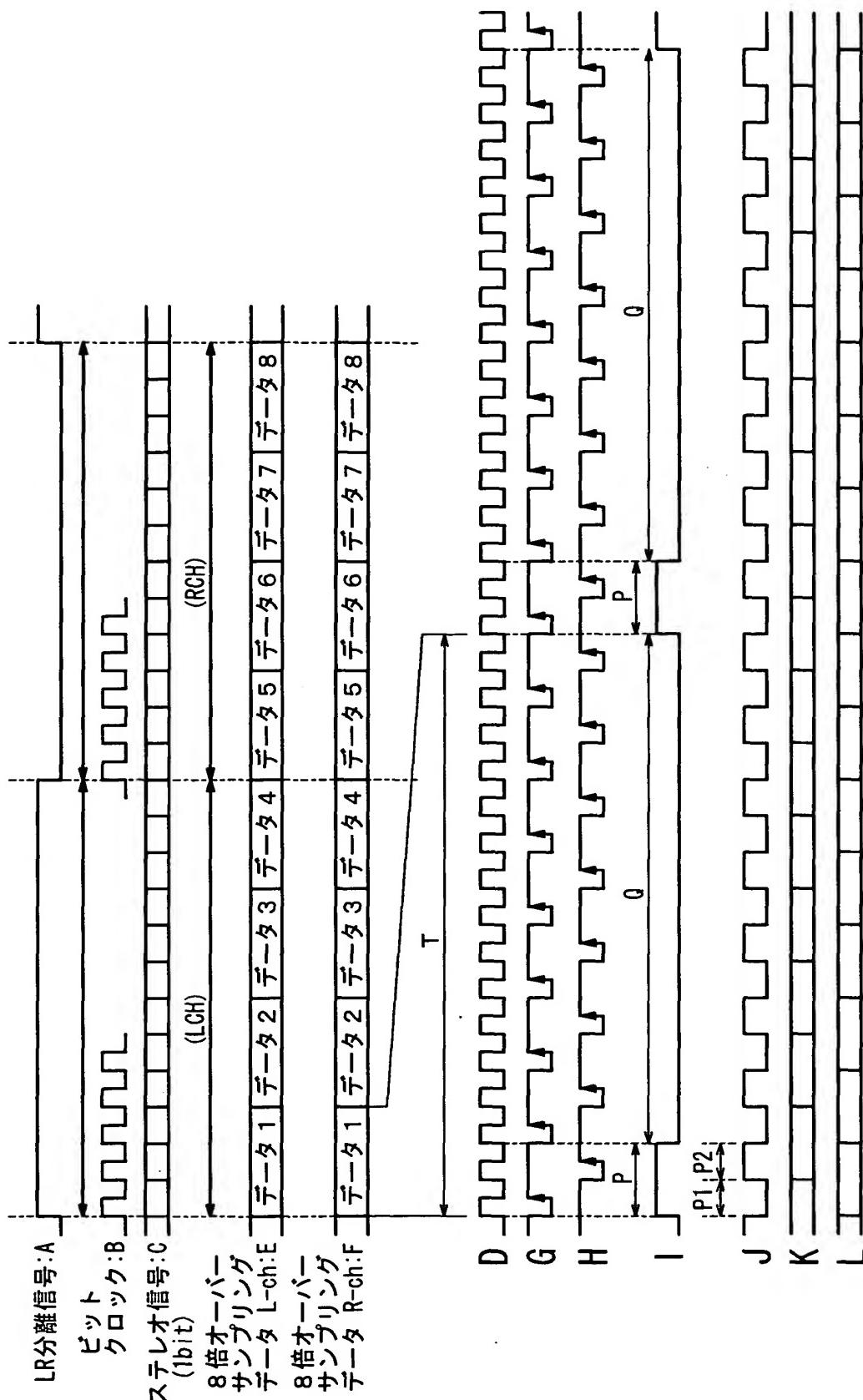
【書類名】

図面

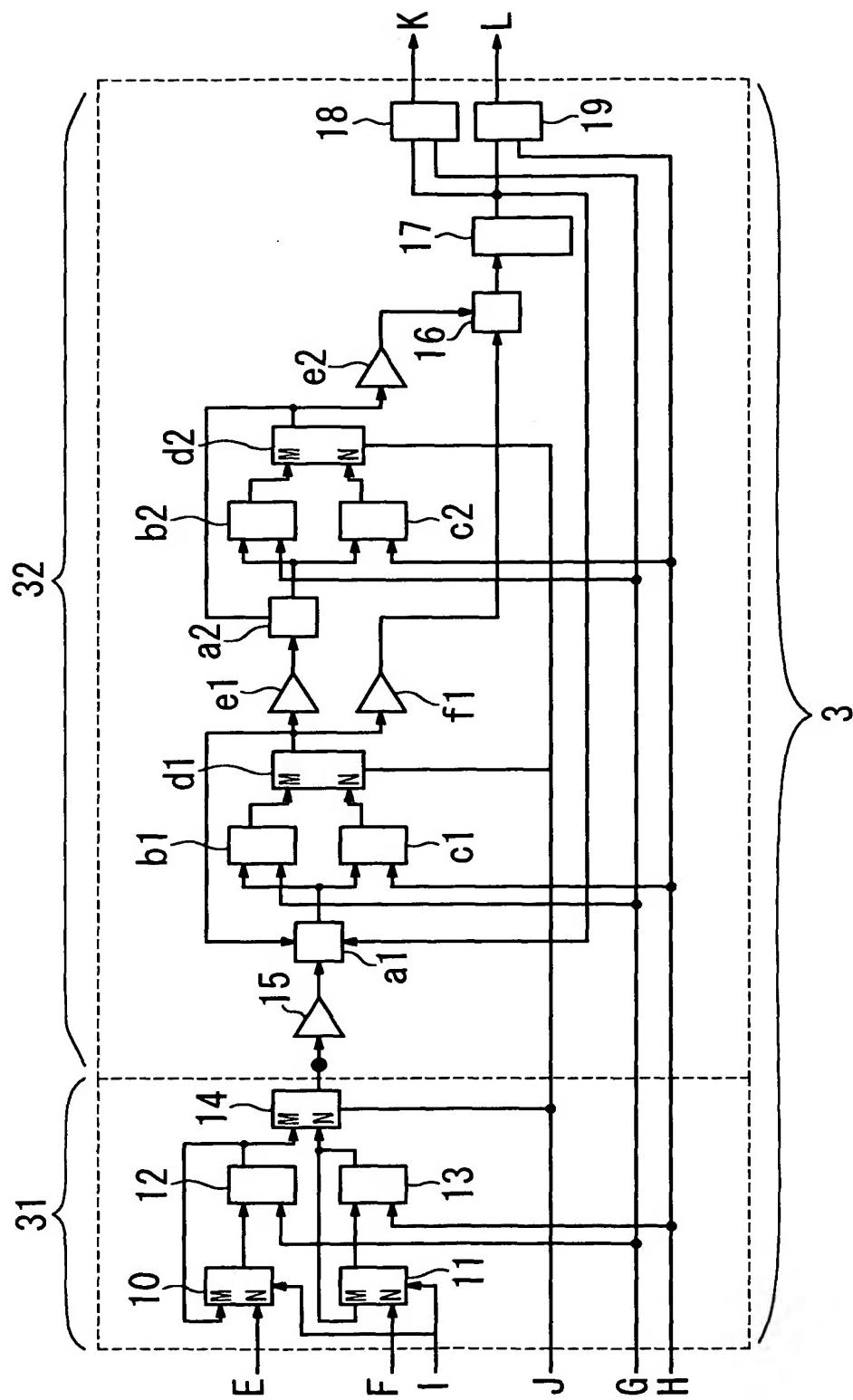
【図1】



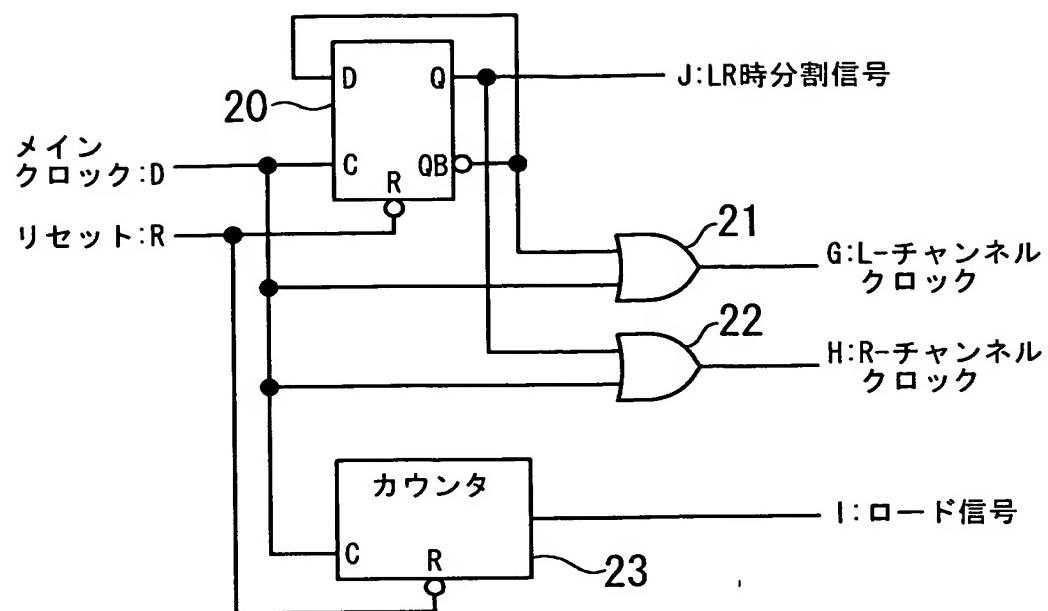
【図2】



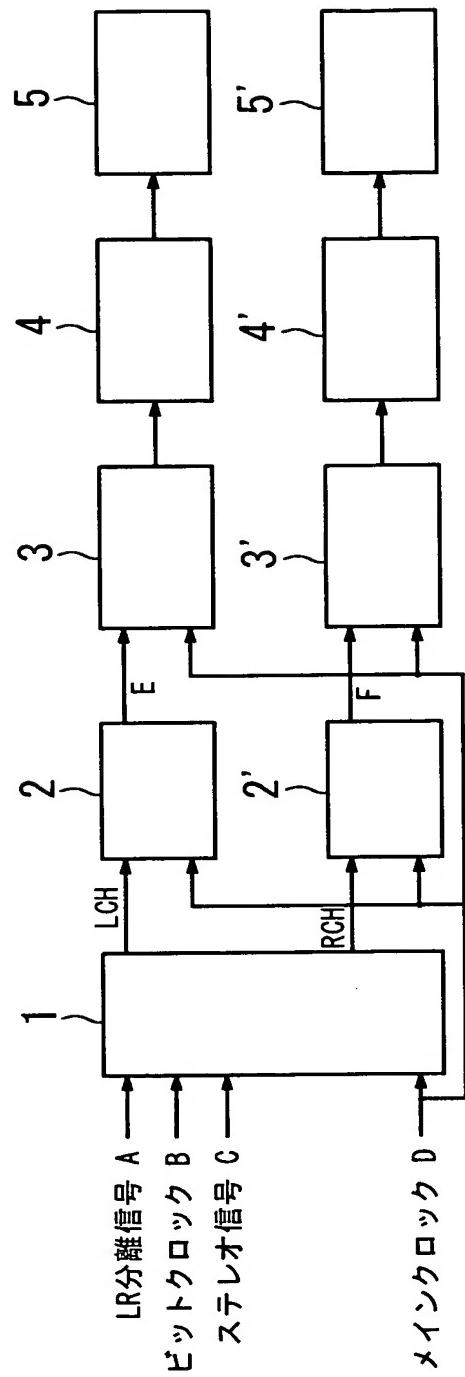
【図3】



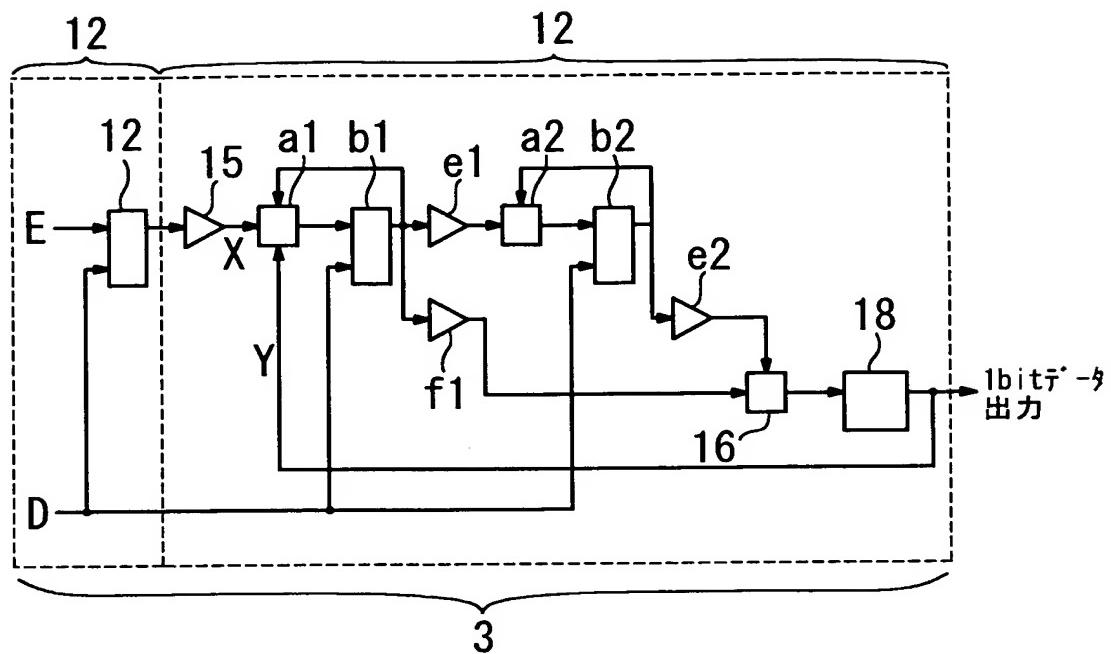
【図4】



【図5】



【図6】



【書類名】 要約書

【要約】

【課題】 ステレオ信号処理用ノイズシェーバの製造コストを削減し、回路の占有面積を削減し、該ノイズシェーバの消費電力を低減すること。

【解決手段】 シリアルなステレオデジタル信号を時分割に処理するため、ノイズシェーバを、ステレオ信号が入力され多重信号に変換する変換部、入力された信号を積分する積分器が多段に接続されたデルタシグマ変調する積分手段と、ノイズシェーブした信号を左右チャネルに分離して出力する手段とをもって構成し、前記積分器は、加算する手段と、該加算する手段の出力が入力される2つの記憶する手段と、該2つの記憶手段の出力のいずれかを時分割で選択する手段とを有し、前記選択された出力が前記加算する手段に帰還してなる構成とする。

【選択図】 図2

出願人履歴情報

識別番号 [000116024]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 京都府京都市右京区西院溝崎町21番地  
氏 名 ローム株式会社